

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-319552

(43)Date of publication of application : 31.10.2002

(51)Int.Cl.

H01L 21/28
H01L 21/3205
H01L 21/336
H01L 21/768
H01L 29/78

(21)Application number : 2001-125277

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.04.2001

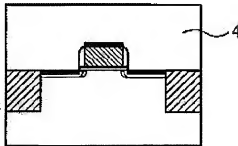
(72)Inventor : TSUTSUMI TOSHIKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress cohesion of silicide on a gate electrode for the purpose of decreasing the resistance of a gate wire when a semiconductor device has its performance made high and the speed made fast.

SOLUTION: After a gate electrode and an impurity diffusion layer are formed, a metal film is formed and 1st metal silicide is formed through a 1st heat treatment in an inert gas atmosphere and the 1st metal silicide is varied in phase into 2nd metal silicide through a 2nd heat treatment; and then a 3rd heat treatment is carried out in an inert gas atmosphere to suppress the cohesion of the silicide.



4 : 層間絶縁膜

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-319552

(P2002-319552A)

(43) 公開日 平成14年10月31日 (2002. 10. 31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	21/28	H 0 1 L	21/28
	21/3205		21/88
	21/336		29/78
	21/768		3 0 1 P
	29/78		A

審査請求 未請求 請求項の数12 O L (全 7 頁)

(21) 出願番号 特願2001-125277(P2001-125277)

(22) 出願日 平成13年4月24日 (2001. 4. 24)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 堤 聡明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100093582

弁理士 児玉 俊英 (外3名)

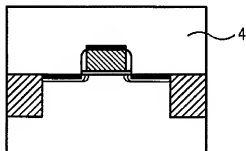
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 半導体装置の高性能化、高速化を図る上で、ゲート配線の低抵抗化を目的としたゲート電極上のシリサイドの凝集を抑制する。

【解決手段】 ゲート電極と不純物拡散層を形成後金属膜を成膜し、不活性ガス雰囲気中で第1の熱処理によって第1の金属シリサイドを形成し、次に活性雰囲気中で第2の熱処理を施し第1の金属シリサイドを相変化させて第2の金属シリサイドとし、次に不活性ガス雰囲気中で第3の熱処理を施すことによって、シリサイドの凝集を抑制する。



4 : 層間絶縁膜

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板上に形成されたゲート電極および不純物拡散層と、前記ゲート電極、不純物拡散層上に形成された金属シリサイドとを備えた半導体装置において、前記金属シリサイドが前記ゲート電極、不純物拡散層の上面に均一に分布して形成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板を、単結晶シリコン基板、S O I 基板、またはシリコンとゲルマニウムとの化合物基板とすることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 ゲート電極が多結晶シリコン、アモルファスシリコンまたはシリコンとゲルマニウムとの化合物であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 金属シリサイドがコバルトシリサイド、チタンシリサイド、ニッケルシリサイド、白金シリサイド、またはバナジウムシリサイドであることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 次のステップを有することを特徴とする半導体装置の製造方法。

(1) 半導体基板上にゲート絶縁膜、ゲート電極とそのサイドウォールおよび不純物拡散層を形成するステップ。

(2) 全面に金属膜を形成し、次に金属窒化膜を形成するステップ。

(3) 不活性ガス雰囲気または真空中で第 1 の熱処理を施し第 1 の金属シリサイドを形成後、薬液によりシリサイド化しない未反応の前記金属膜および金属窒化膜を除去するステップ。

(4) 活性雰囲気中で第 2 の熱処理を施し、前記第 1 の金属シリサイドを相変化させて第 2 の金属シリサイドとするステップ。

(5) 不活性ガス雰囲気または真空中で第 3 の熱処理を施すステップ。

【請求項 6】 請求項 5 の半導体装置の製造方法において、ステップ (4) とステップ (5) との間に、次のステップ (4 A) を挿入したことを特徴とする半導体装置の製造方法。

(4 A) 全面に層間絶縁膜を形成するステップ。

【請求項 7】 次のステップを有することを特徴とする半導体装置の製造方法。

(1) 半導体基板上にゲート絶縁膜、ゲート電極とそのサイドウォールおよび不純物拡散層を形成するステップ。

(2) 全面に金属膜を形成し、次に金属窒化膜を形成するステップ。

(3) 不活性ガス雰囲気または真空中で第 1 の熱処理を施し第 1 の金属シリサイドを形成後、薬液によりシリサイド化しない未反応の前記金属膜および金属窒化膜を除去するステップ。

(4) マルチチャンバ装置内のプラズマ処理室にて自然

酸化膜を除去するステップ。

(5) 前記装置内の熱処理室の活性雰囲気中で第 2 の熱処理を施し、前記第 1 の金属シリサイドを相変化させて第 2 の金属シリサイドとするステップ。

(6) 不活性ガス雰囲気または真空中で第 3 の熱処理を施すステップ。

【請求項 8】 請求項 7 の半導体装置の製造方法において、ステップ (5) とステップ (6) との間に、次のステップ (5 A) を挿入したことを特徴とする半導体装置の製造方法。

(5 A) 全面に層間絶縁膜を形成するステップ。

【請求項 9】 半導体基板を、単結晶シリコン基板、S O I 基板、またはシリコンとゲルマニウムとの化合物基板とすることを特徴とする請求項 5 または請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 ゲート電極が多結晶シリコン、アモルファスシリコンまたはシリコンとゲルマニウムとの化合物であることを特徴とする請求項 5 または請求項 7 に記載の半導体装置の製造方法。

【請求項 11】 金属シリサイドがコバルトシリサイド、チタンシリサイド、ニッケルシリサイド、白金シリサイド、またはバナジウムシリサイドであることを特徴とする請求項 5 または請求項 7 に記載の半導体装置の製造方法。

【請求項 12】 第 1 の熱処理は不活性ガス雰囲気を室素またはアルゴンガス雰囲気とし、前記雰囲気または真空中で温度 400 ~ 550℃、30 ~ 120 秒間の処理を行うものであり、第 2 の熱処理は活性ガス雰囲気をアンモニアまたは窒素プラズマ雰囲気とし、前記雰囲気中で温度 650 ~ 750℃、30 ~ 60 秒間の処理を行うものであり、第 3 の熱処理の不活性ガス雰囲気を室素またはアルゴンガス雰囲気とし、温度 700 ~ 900℃、30 秒から 1 時間の処理であることを特徴とする請求項 5 または請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置およびその製造方法に係るものであり、特に安定した低抵抗のシリサイド配線を有した半導体装置およびそのシリサイド形成に関するものである。

【0002】

【従来の技術】 L S I の高集積化の要求に応じ半導体装置の微細化が進むなか、半導体基板上に形成されるトランジスタのゲート配線幅も縮小されてきている。トランジスタのゲート電極および基板の不純物拡散層のシート抵抗値を低減することを目的として、自己整合的に金属シリサイド膜を、特にコバルトシリサイド C o S i 2 膜を形成する技術が用いられてきた。しかしこのコバルトシリサイド C o S i 2 はその後の半導体装置製造プロセス中の諸高温熱処理に影響されて凝集し、前記ゲート電

極上および不純物拡散層上で前記金属シリサイドの存在しにくい部分が発生することにより、所望のシート抵抗値が得られないという問題が顕著な所一つある。特に100nm世代のLSIにおける細線部では、このようなシート抵抗値の上昇が問題である。以下のような問題を生じる従来の半導体装置の製造方法を図6～図10によって説明する。

【0003】まず図6において、周知のように半導体基板101上に写真製版およびエッチングの組み合わせにより例えば200～400nmのトレンチを形成し、熱酸化およびCVDによりシリコン酸化膜を埋め込み、CMPにより平坦化することによってシャロートレンチアイソレーション絶縁膜102を形成する。次に図7において、熱酸化またはCVDにより例えばシリコン酸化膜、シリコン窒化膜や金属酸化膜よりなるゲート絶縁膜103を形成する。次に例えば多結晶シリコン膜やアモルファスシリコン膜よりなる導電性膜を成膜し、写真製版およびエッチングによりゲート電極104を形成する。次に図8において、イオン注入により例えばAsまたはBを1E13～1E14/cm²注入し、第1の不純物拡散層105を形成する。次にCVDにより例えばシリコン酸化膜やシリコン窒化膜またはこれらの積層膜を膜厚50～100nmで形成後エッチングによりサイドウォール106を形成する。その後再びイオン注入により例えばAsまたはBを1E15～1E16/cm²注入し、第2の不純物拡散層107を形成する。次に図9に示すように弗化水素酸、フッ素を含むガスプラズマ、スパッタエッチ等によりシリコン表面の自然酸化膜を除去後、スパッタまたはCVDにより例えばコバルト、ニッケル、チタン等の金属膜108とチタン窒化物との積層膜をそれぞれ5～15nmおよび10～20nmの膜厚で形成する。次に図10に示すように窒素またはアルゴン等の不活性ガス雰囲気または真空中で400～500℃、30秒～120秒の熱処理を施し、シリコンと接する領域に例えばCoSi₂、CoSi₃の金属シリサイド109aを形成し、その後液相例えば酢酸と過酸化水素水の混合液により未反応の金属膜およびチタン窒化膜を除去し金属シリサイドのみを選択的に残置する。次に窒素またはアルゴン等の不活性ガス雰囲気または真空中でさらに高温の熱処理例えば650～850℃を施し、前記金属シリサイド109aを相変化させて低抵抗な金属シリサイド例えばCoSi₂の109bを形成する。

【0004】

【発明が解決しようとする課題】しかしながら、以上に述べたようなプロセスを経て製造された半導体装置は、細線部のゲート電極とくメモリとロジック回路とが共存するデバイスのように、ゲート電極形成後のその後の製造プロセスにおいて高温の熱処理を施すデバイスのゲート電極では、シリサイド形成後の高温熱処理により抵抗値の上昇が顕著となり、トランジスタの動作不良を

もたらし、製品歩留りを低下させてコストの増大をもたらしている。これは約800℃を超える高温熱処理によりゲート電極上のシリサイドが凝集することによるものである。つまりゲート配線の低抵抗化に伴う半導体装置の高性能化を目的に低抵抗率を有する金属シリサイドをゲート電極上に全面にわたって形成しているがその後の高温熱処理によって凝集して部分的にシリサイドが欠乏し、いわゆるシリサイドの断線部が散在することによって所望の低抵抗値を得ることができないという問題点があった。

【0005】この発明はこのような問題点を解決しようとするためになされたものであり、シリサイド形成後に付加される高温熱処理によってもシリサイドが凝集せず、安定した所望の低抵抗のシート抵抗値を有する半導体装置の提供を目的とする。

【0006】

【課題を解決するための手段】この発明に係る半導体装置は、ゲート電極上、不純物拡散層上に形成された金属シリサイドが上面に均一に分布して形成されているものである。

【0007】また、半導体装置の製造方法であって、基板上のゲート電極、不純物拡散層上に金属膜、金属窒化膜を形成後、第1の熱処理によって第1の金属シリサイドを形成し、次に活性雰囲気中での第2の熱処理により前記第1の金属シリサイドを相変化させて第2の金属シリサイドとし、さらに第3の熱処理を施すステップを有するものである。

【0008】またさらに半導体装置の製造方法であって、前記第2の熱処理の後に層間絶縁膜を形成するステップを設け、次に前記第3の熱処理を施すステップを有するものである。

【0009】また、同じく製造方法であって、ゲート電極、不純物拡散層上に金属膜、金属窒化膜を形成後、第1の熱処理によって第1の金属シリサイドを形成し、次にマルチチャンバ装置内のプラズマ処理室内にて自然酸化膜を除去後、同装置内の熱処理室の活性雰囲気中での第2の熱処理により前記第1の金属シリサイドを相変化させて第2の金属シリサイドとし、さらに第3の熱処理を施すステップを有するものである。

【0010】またさらに、同じく製造方法であって、前記第2の熱処理の後に層間絶縁膜を形成するステップを設け、次に前記第3の熱処理を施すステップを有するものである。

【0011】また、前記いずれの半導体装置の製造方法においても、第1の熱処理は、窒素またはアルゴンの不活性ガス雰囲気または真空中で400～550℃、30～120秒間の処理を行うものであり、第2の熱処理は、アンモニアまたは窒素プラズマの活性ガス雰囲気中で650～750℃、30～60秒間の処理を行うものであり、第3の熱処理は、窒素またはアルゴンの不活性ガ

または真空中で770～900℃、30秒～1時間の処理を行うものである。

【0012】

【発明の実施の形態】実施の形態1。以下、この発明の実施の形態1の半導体装置を図に基づいた製造ステップで説明する。まず従来例の図6～図9に示したと同様の製造ステップで基板上にゲート電極、不純物拡散層等を形成する。つまり、図6に示した如く、単結晶シリコン基板、SOI基板またはシリコンとゲルマニウムとの化合物基板のいずれかより成る半導体基板101上にシャロートレンチアイソレーション絶縁膜102を形成する。次に図7の如くシリコン窒化膜や金属酸化膜のゲート絶縁膜103を形成後、多結晶シリコン膜、アモルファスシリコンまたはシリコンとゲルマニウムとの化合物よりなる導電性膜を成膜後ゲート電極104を形成する。次に図8の如く、AまたはBをイオン注入により1E13～1E14/cm²を基板101に注入し、低濃度である第1の不純物拡散層105を形成する。さらにCVDでシリコン酸化膜やシリコン窒化膜またはこれらの層積膜を成膜後エッチングを施しサイドウォール106を形成する。そしてAまたはBを1E15～1E16/cm²注入し、高濃度である第2の不純物拡散層を形成する。次に、図9の如く、弗化水素酸、またはフッ素を含むガスプラズマ、スパッタエッチによりシリコン表面の自然酸化膜を除去後、スパッタまたはCVDにより全面に金属膜例えばコバルトを5～15nm次に金属窒化膜例えばチタン窒化膜を10～20nmそれぞれ成膜する。なお、前記金属膜をコバルトとしたがチタン、ニッケル、白金またはバナジウム等のいずれかであってもよい。次に本実施の形態1による製造方法である図1に示す如く、ランプ等を用いたRTAの熱処理、例えば酸素温度5ppm以下の窒素またはアルゴン等の不活性ガス雰囲気中、あるいは真空中で400～550℃、30～120秒間とする第1の熱処理を施し、シリコンと接する箇所第1の金属シリサイド109a例えばC₀S₁、C₀S₂を形成し、その後液相例えば硫酸過水素によりシリサイド化しない未反応の金属および金属窒化膜を除去する。

【0013】次に図2に示す如く、アンモニア雰囲気または窒素プラズマ等の活性ガス雰囲気中で650～750℃、30～60秒間とする第2の熱処理を施す。この場合、最も望ましいはアンモニア雰囲気中の700℃である。この熱処理で前記第1の金属シリサイド109aである例えばC₀S₁、C₀S₂を相変化させて第2の金属シリサイド109である窒素を含むC₀S₁2を形成する。このときの熱処理はシリサイド109の表面を窒化もしくは窒素で終端することが目的とし、不必要な高温で熱処理を行わないことが肝要である。つまりこの過程で従来のように800℃を超える高温で熱処理を施すとシリサイド109の充分な窒化が行われる前

にシリサイド109の凝集が開始され、低抵抗材のシリサイド109がゲート電極104上や不純物拡散層107上に散在することになり、安定した低抵抗のゲート配線やコンタクト抵抗を得ることが出来なくなる。従って凝集が生じない温度で、最も望ましいはアンモニア雰囲気中で急速な熱処理を施すことが必要である。

【0014】次に窒素またはアルゴン等の不活性ガス雰囲気あるいは真空中で、前記第2の熱処理より高温の例えば770～900℃の第3の熱処理を施す。このときの熱処理時間は、適用される半導体装置の用途、種類によって異なる構造、例えば層間絶縁膜のリフロ仕様によって30秒から約1時間と広範囲にわたる。この第3の熱処理を施す目的は、

(1) シリサイドのシート抵抗値の低減

(2) 接合リーク電流の低減

である。前記(1)のシリサイドのシート抵抗値の低減は、前記第2の熱処理でシリサイドC₀S₁2を形成しているがその抵抗値はバルクの抵抗値に比較して高い。しかしながらこの第3の熱処理のような高温で熱処理を施すことにより抵抗値は減少する。従来はシリサイドの凝集発生を防止する対策が採用されていなかったため、このような第3の高温熱処理を施すと凝集を生じかえって抵抗値を上昇させ不良品を発生していた。しかしながら本実施の形態1ではシリサイドの凝集が発生しない温度でアンモニアまたは窒素プラズマ等の活性雰囲気中熱処理を施しゲート電極上および不純物拡散層上に金属シリサイドが凝集することなく均一に分布して形成されているので、第3の高温熱処理を施すことが可能となっている。次に前記(2)の接合リーク電流の低減は、前記第2の熱処理でC₀S₁またはC₀S₂からC₀S₁2に相変化させたときに体積膨張を伴い、これによる基板の結晶欠陥は接合リーク電流の増大をもたらす。しかしながらこの第3の高温熱処理は結晶欠陥を回復させるので、接合リーク電流低減の目的に効果的である。またこの第3の熱処理は、図3に示すように例えばシリコン酸化膜またはシリコン窒化膜の層間絶縁膜4をCVDによって形成し、その後前記第3の熱処理を施すことでより効果的に凝集を抑制できる。この原因は明確ではないが、ストレスに起因した効果と表面のC₀の移動速度を低下させる効果があるものと考えられる。

【0015】図4にゲート電極の配線シート抵抗を従来技術を○印で本実施の形態1を△印で示す。すなわち本実施の形態1の方法で、ゲート長70nmのゲート電極について窒素プラズマ雰囲気またはアンモニア雰囲気中で第2の熱処理を施し、ともに第3の熱処理として850℃で処理した場合のシート抵抗を示している。図4に示すように、本実施の形態1のシート抵抗値は分布が改善され、抵抗値が減少していることが判り、本発明の効果を明確に示している。またさらに、基板の不純物拡散層107の上面の金属シリサイド109も凝集することな

く均一に分布して形成されているので、メモリ装置等この拡散層に直接コンタクトをとる半導体装置においても、安定したコンタクト抵抗を確保することができる。

【0016】実施の形態2、次に実施の形態2について説明する。前記実施の形態1では第2の熱処理をアンモニア雰囲気または窒素プラズマ等の活性ガス雰囲気中で行っている。これは前記したようにシリサイドの表面を窒化または窒素終端の効果を狙ったものであり、本実施の形態2ではより効果的にするための手法を示す。実施の形態1では図1の工程後、加熱装置にて第2の熱処理を施すが、この時基板等の表面は大気さらされているため自然酸化膜で覆われている。アンモニアは還元作用があるが、より効果的には基板表面の自然酸化膜を除去しそのまま大気酸化性雰囲気さらすことなく第2の熱処理を施すことが好ましい。本実施の形態2では第2の熱処理を施す前にフッ素系ガス、例えばHFとH₂との混合ガスのプラズマによるエッチングまたはArとH₂との混合ガスのプラズマにさらすことにより、表面をエッチングして自然酸化膜を除去する。従って実施の形態1に示した図2の工程の前にこのプラズマ処理を追加する。この場合の処理方法はマルチチャンバ装置を用いて前記工程を連続的に示す。図5にマルチチャンバ装置200の概略平面構成を行う。図において20はロードロック室、21はプラズマ処理室、22は熱処理室、23は搬送用共通室である。基板はロードロック室20より搬送用共通室23を経て真空搬送され、プラズマ処理室21で上記自然酸化膜の除去処理を施される。その後再度搬送用共通室23を経て熱処理室22で第2の熱処理を施す。その後は実施の形態1と同様の工程を随んで半導体装置を製造する。または、本マルチチャンバ装置200内で処理してもよい。本実施の形態2では、実施の形態1に比べて工程数は増加するものの、基板等の表面を効果的に窒化でき、シリサイドの凝集による抵抗値上昇により効果的に防止できる。なお上記装置は真空搬送装置であるが、窒素ガスを充填させた酸素濃度を例えば5ppm以下に抑制し常圧で搬送してもよい。なお、前記実施の形態1および実施の形態2では、MISFETを主体とした構造および製造方法について示したが、メモリや混載デバイス等他の半導体装置に適用してもよいことは言うまでもない。

【0017】

【発明の効果】この発明は以上述べたような構成および製造方法を採用しているため、以下に示すような効果を奏する。

【0018】ゲート電極上、不純物拡散層上に形成された金属シリサイドがそれらの上面に全面にわたって凝集することなく均一に分布して形成されているので、ゲート配線抵抗が安定した所望の低抵抗値となり、また、不純物拡散層につながる配線とのコンタクト抵抗も安定するという優れた効果を奏する。

【0019】また、基板上のゲート電極、不純物拡散層上に金属膜、金属酸化膜を形成後、不活性ガス雰囲気または真空中で400～550℃、30～120秒間の第1の熱処理を施し、次にアンモニアまたは窒素プラズマの活性ガス雰囲気中で50～750℃、30～60秒間の第2の熱処理を施して金属シリサイドを形成し、つづいて不活性ガスまたは真空中で770～900℃、30秒～1時間の第3の熱処理を施すステップを有した半導体装置の製造方法を採用しているため、ゲート電極や不純物拡散層上の金属シリサイドが凝集することなく上面に全面にわたって均一に分布して形成され、ゲート配線が安定した低抵抗値となり、半導体装置の高集積度化、高速化を実現でき、さらには製品歩留りの向上、コストの低減等数多くの優れた効果を奏する。また、不純物拡散層上に直接コンタクトをとるプラグ配線等を有する半導体装置においても、拡散層上の金属シリサイドが全面にわたって均一に分布して形成されているので、安定したコンタクト抵抗を有する半導体装置の製造が可能となり、前記と同様の効果を奏する。

【0020】またさらに、第2の熱処理の次に層間絶縁膜を施し、その後第3の熱処理を行っているため、より効果的に凝集を抑制できる。

【0021】また、第1の熱処理を行ったあと、マルチチャンバ装置内のプラズマ処理室内にて自然酸化膜を除去し、次に同装置の熱処理室の活性ガス雰囲気内で第2の熱処理を行いその後第3の熱処理を行っているため、基板等の表面をより効果的に窒化でき、シリサイドの凝集を抑制した方法で半導体装置を製造できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の製造ステップを示す図である。

【図2】 この発明の実施の形態1の製造ステップを示す図である。

【図3】 この発明の実施の形態1の製造ステップを示す図である。

【図4】 この発明の実施の形態1と従来例にて製造したゲート電極の配線シート抵抗の比較を示す図である。

【図5】 この発明の実施の形態2の製造装置であるマルチチャンバ装置の概略平面構成図である。

【図6】 この発明の実施の形態1、2および従来例の製造ステップを示す図である。

【図7】 この発明の実施の形態1、2および従来例の製造ステップを示す図である。

【図8】 この発明の実施の形態1、2および従来例の製造ステップを示す図である。

【図9】 この発明の実施の形態1、2および従来例の製造ステップを示す図である。

【図10】 従来例の製造ステップを示す図である。

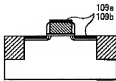
【符号の説明】

4 層間絶縁膜、20 ロードロック室、21 プラズマ

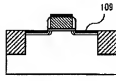
マ処理室、22 熱処理室、23 搬送用共通室、101 半導体基板、102 絶縁膜、103 ゲート絶縁膜、104 ゲート電極、105 第1の不純物拡散

層、106 サイドウォール、107 第2の不純物拡散層、108 金属膜、109、109a、109b 金属シリサイド、200 マルチチャンバ装置。

【図1】

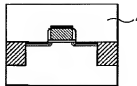


【図2】



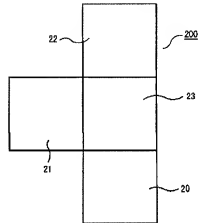
105: 金属シリサイド

【図3】



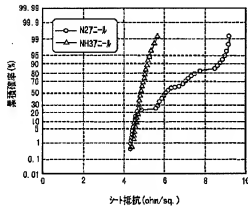
4: 層間絶縁膜

【図5】

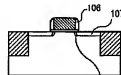


20: D-Dry室
21: Annealing室
22: 熱処理室
23: 搬送用共通室
200: マルチチャンバ装置

【図4】

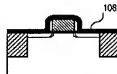


【図8】



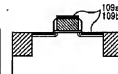
105, 107: 不純物拡散層

【図9】



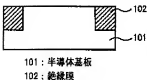
108: 金属層

【図10】



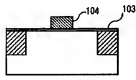
109a, 109b: 金属シリサイド

【図6】



101: 半導体基板
102: 絶縁膜

【図7】



104: ゲート電極

フロントページの続き

F ターム(参考) 4M104 AA01 AA09 BB01 BB20 BB21
BB22 BB24 BB25 CC01 CC05
DD02 DD22 DD26 DD37 DD43
DD79 DD80 DD84 FF14 GG09
GG10 GG14 GG16 HH15 HH16
5F033 GG03 HH03 HH04 HH05 HH25
HH27 MM07 PP06 PP15 QQ70
QQ73 QQ82 QQ84 QQ85 QQ91
QQ94 RR04 RR06 TT08 VV06
WW00 WW03 XX09 XX10
5F140 AA10 AC24 AC36 BA01 BA05
BD07 BD11 BF04 BF11 BF18
BF34 BG08 BG09 BG12 BG14
BG28 BG30 BG35 BG44 BG45
BG52 BG53 BG56 BH15 BK02
BK13 BK29 BK30 BK35 BK38
BK39 CB04 CE10 CF04